

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208690

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H01L 29/732
H01L 21/331
H01L 21/8222
H01L 27/06
H01L 21/8249

(21)Application number : 2001-001992

(71)Applicant : SONY CORP

(22)Date of filing : 10.01.2001

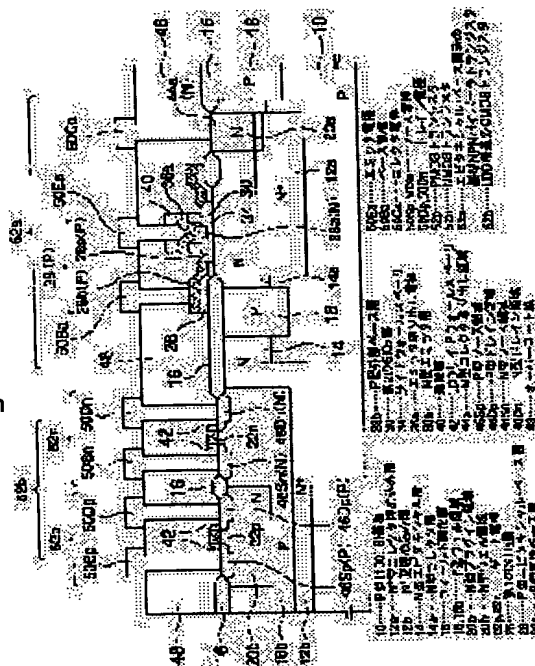
(72)Inventor : KURANOUCI ATSUSHI
YASUSHIGE HIROAKI
MIWA HIROYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, where a bipolar transistor having epitaxial base structure with especially improved high-frequency characteristics is mounted mixedly on the same semiconductor substrate as other field effect transistors and vertical bipolar transistors having the conventional base structure, and to provide the manufacturing method of the semiconductor device, whose manufacturing costs have been reduced.

SOLUTION: A vertical NPN bipolar transistor 52a, having an epitaxial base structure and a CMOS transistor 52b having an LDD structure are mixedly mounted onto a P-type (100) Si substrate 10, a second SiO₂ film 30 is formed on a P-type intrinsic base layer 28a in a P-type epitaxial base layer 28 of the vertical NPN bipolar transistor 52a, a sidewall spacer 34 is formed on the sidewall at an opening provided in the second SiO₂ film 30, and an N-type emitter layer 38a is formed on the surface of the P-type intrinsic base layer 28a corresponding to the opening where the sidewall spacer 34 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-208690
(P2002-208690A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L	29/732	H 0 1 L 29/72	S 5 F 0 0 3
	21/331	27/06	1 0 1 U 5 F 0 4 8
	21/8222		3 2 1 B 5 F 0 8 2
	27/06		
	21/8249		

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2001-1992 (P2001-1992)

(22) 出願日 平成13年1月10日 (2001.1.10)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 倉野内 厚志
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 安茂 博章
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 100090527
弁理士 館野 千恵子

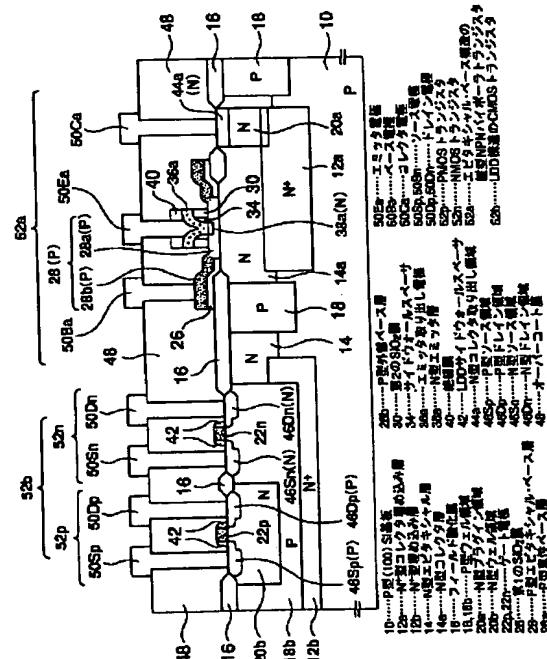
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 特に高周波特性を改善したエビタキシャル・ベース構造のバイポーラトランジスタを他の電界効果トランジスタやコンベンショナルなベース構造の縦型バイポーラトランジスタと同一の半導体基板上に混載した半導体装置及びその製造コストを低減した製造方法を提供することを目的とする。

【解決手段】 エビタキシャル・ベース構造の縦型NPバイポーラトランジスタ52aとLDD構造のCMOSトランジスタ52bとがP型(100)Si基板10上に混載され、縦型NPNバイポーラトランジスタ52aのP型エビタキシャル・ベース層28のP型真性ベース層28a上に第2のSiO₂膜30が形成され、この第2のSiO₂膜30に設けられた開口部の側壁にサイドウォールスペーサ34が形成され、このサイドウォールスペーサ34が形成された開口部に対応して、P型真性ベース層28a表面にN型エミッタ層38aが形成されている。



【特許請求の範囲】

【請求項 1】 エピタキシャル・ベース層を有する縦型バイポーラトランジスタと電界効果トランジスタとが同一の半導体基板上に混載された半導体装置であって、前記エピタキシャル・ベース層上に形成された絶縁膜に開口部が設けられ、前記開口部における前記絶縁膜側壁にサイドウォールスペーサが形成され、前記サイドウォールスペーサが形成された前記開口部を介して、前記エピタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることを特徴とする半導体装置。

【請求項 2】 エピタキシャル・ベース層を有する縦型バイポーラトランジスタとイオン注入ベース領域を有する縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置であって、前記エピタキシャル・ベース層上に形成された絶縁膜に開口部が設けられ、前記開口部における前記絶縁膜側壁にサイドウォールスペーサが形成され、前記サイドウォールスペーサが形成された前記開口部を介して、前記エピタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、前記イオン注入ベース領域上に形成された絶縁膜に開口部が設けられ、前記開口部における前記絶縁膜側壁にサイドウォールスペーサが形成され、前記サイドウォールスペーサが形成された前記開口部を介して、前記イオン注入ベース領域表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることを特徴とする半導体装置。

【請求項 4】 エピタキシャル・ベース層を有する縦型バイポーラトランジスタと電界効果トランジスタとが同一の半導体基板上に混載された半導体装置の製造方法であって、前記半導体基板上の縦型バイポーラトランジスタ形成領域及び電界効果トランジスタ形成領域に、コレクタ領域及びウェル領域をそれぞれ形成する第 1 の工程と、前記ウェル領域上にゲート電極を形成した後、前記ゲート電極をマスクとして前記ウェル領域表面に所定の不純物を添加し、低濃度不純物領域を形成する第 2 の工程と、基体全面に第 1 の絶縁膜を形成した後、前記コレクタ層上の前記第 1 の絶縁膜を選択的にエッチング除去して、エピタキシャル・ベース形成予定領域を開口する第 3 の工程と、基体全面にエピタキシャル層を成長させて、前記エピタキシャル・ベース形成予定領域に露出した前記コレクタ層上に単結晶層を形成すると共に、前記第 1 の絶縁膜上に多結晶層を形成した後、前記エピタキシャル層をパターンニングして、前記コレクタ層上の前記単結晶層及び前

記単結晶層に連なる前記多結晶層からなるエピタキシャル・ベース層を形成する第 4 の工程と、

基体全面に第 2 の絶縁膜を形成した後、前記エピタキシャル・ベース層の前記単結晶層上の前記第 2 の絶縁膜を選択的にエッチング除去して、エミッタ形成予定領域を開口する開口部を形成する第 5 の工程と、

基体全面に第 3 の絶縁膜を形成した後、前記第 3 の絶縁膜を異方性エッチングして、前記開口部における前記第 2 の絶縁膜側壁に、前記第 3 の絶縁膜からなるサイドウォールスペーサを形成する第 6 の工程と、

前記開口部内に露出した前記エピタキシャル・ベース層の前記単結晶層上に、エミッタ取り出し電極を形成した後、前記エミッタ取り出し電極から所定の不純物を拡散して、前記エピタキシャル・ベース層の前記単結晶層表面にエミッタ領域を形成する第 7 の工程と、

前記第 2 及び第 1 の絶縁膜を異方性エッチングして、前記第 2 及び第 1 の絶縁膜からなるサイドウォールスペーサを前記ゲート電極側壁に形成した後、前記ゲート電極及び前記サイドウォールスペーサをマスクとして前記ウェル領域表面に所定の不純物を添加し、高濃度不純物領域を形成して、前記低濃度不純物領域及び前記高濃度不純物領域からなるソース・ドレイン領域を形成する第 8 の工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、

前記第 8 の工程における前記ウェル領域表面に所定の不純物を添加して高濃度不純物領域を形成する際、同時に、前記コレクタ領域表面の所定の領域に前記所定の不純物を添加してコレクタ取り出し領域を形成し、又は前記エピタキシャル・ベース層の前記多結晶層表面に前記所定の不純物を添加して外部ベース領域を形成することを特徴とする半導体装置の製造方法。

【請求項 6】 エピタキシャル・ベース層を有する第 1 の縦型バイポーラトランジスタとイオン注入ベース領域を有する第 2 の縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置の製造方法であって、

前記半導体基板上の第 1 及び第 2 の縦型バイポーラトランジスタ形成領域に、第 1 及び第 2 のコレクタ層をそれぞれ形成した後、イオン注入法を用いて前記第 2 のコレクタ層表面に不純物を選択的に添加し、イオン注入ベース領域を形成する第 1 の工程と、基体全面に第 1 の絶縁膜を形成した後、前記第 1 のコレクタ層上の前記第 1 の絶縁膜を選択的にエッチング除去して、エピタキシャル・ベース形成予定領域を開口する第 2 の工程と、

基体全面にエピタキシャル層を成長させて、前記エピタキシャル・ベース形成予定領域に露出した前記第 1 のコレクタ層上に単結晶層を形成すると共に、前記第 1 の絶

縁膜上に多結晶層を形成した後、前記エビタキシャル層をバターニングして、前記第1のコレクタ層上の前記単結晶層及び前記単結晶層に連なる前記多結晶層からなるエビタキシャル・ベース層を形成する第3の工程と、基体全面に第2の絶縁膜を形成した後、前記エビタキシャル・ベース層上の前記第2の絶縁膜及び前記イオン注入ベース領域上の前記第2及び第1の絶縁膜を選択的にエッチング除去して、第1及び第2のエミッタ形成予定領域を開口する第1及び第2の開口部を形成する第4の工程と、基体全面に第3の絶縁膜を形成した後、前記第3の絶縁膜を異方性エッチングして、前記第1の開口部における前記第2の絶縁膜側壁並びに前記第2の開口部における前記第1及び第2の絶縁膜側壁に、前記第3の絶縁膜からなる第1及び第2のサイドウォールスペーサをそれぞれ形成する第6の工程と、前記第1及び第2のサイドウォールスペーサが形成された前記第1及び第2の開口部内に露出する前記エビタキシャル・ベース層及び前記イオン注入ベース領域上に、第1及び第2のエミッタ取り出し電極をそれぞれ形成した後、前記第1及び第2のエミッタ取り出し電極から所定の不純物を拡散して、前記エビタキシャル・ベース層及び前記イオン注入ベース領域の表面に、第1及び第2のエミッタ領域をそれぞれ形成する第7の工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特にエビタキシャル・ベース層を有するエビタキシャル・ベース構造の縦型バイポーラトランジスタが、他の電界効果トランジスタやイオン注入ベース領域を有するコンベンショナルなベース構造の縦型バイポーラトランジスタと共に混載されている半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年のバイポーラ（Bipolar）集積回路においては、その高速化、高性能化のため、エビタキシャル・ベース構造のバイポーラトランジスタの研究・開発が行われている。そして、この技術分野における興味は、このエビタキシャル・ベース構造のバイポーラトランジスタとCMOS（Complementary Metal Oxide Semiconductor）トランジスタとを同一の半導体基板上に如何に混載するか集中しており、これまでも種々の製造プロセスが提案されている。

【0003】

【発明が解決しようとする課題】ところで、エビタキシャル・ベース構造の縦型バイポーラトランジスタにおいては、エビタキシャル・ベース層を形成する際、単結晶層と多結晶層とが同時に成長するため、このような単結晶部分と多結晶部分とを有するエビタキシャル・ベー

ス層の利点を最大限に生かすように素子構造を最適化することが非常に重要になっている。また、エビタキシャル・ベース構造の縦型バイポーラトランジスタを用いて高速化、高性能化を追求する際に、その一環として、電流遮断周波数 f_T や最大発振周波数 f_{max} などの高周波特性を改善するために、ベース抵抗を如何に低減するかも大きな課題となっている。

【0004】更に、エビタキシャル・ベース構造の縦型バイポーラトランジスタを、他の電界効果トランジスタやコンベンショナルなベース構造の縦型バイポーラトランジスタと同一の半導体基板上に混載する場合に、その工程を如何に共有化して、製造コストを低減させることも、この後の開発における重要な鍵となっている。しかし、微細化が進み、トランジスタのアスペクト比が益々大きくなっているCMOSの製造プロセスに、更に縦方向の段差の大きなバイポーラトランジスタの製造プロセスを組み合わせる場合、配線工程等が複雑になり、製造コストが増大してしまうというのが実情である。

【0005】そこで本発明は、上記事情に鑑みてなされたものであって、特に高周波特性を改善したエビタキシャル・ベース構造のバイポーラトランジスタを他の電界効果トランジスタやコンベンショナルなベース構造の縦型バイポーラトランジスタと同一の半導体基板上に混載した半導体装置及びその製造コストを低減することが可能な製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記課題は、以下に述べる本発明に係る半導体装置及びその製造方法によって達成される。即ち、請求項1に係る半導体装置は、エビタキシャル・ベース層を有する縦型バイポーラトランジスタと電界効果トランジスタとが同一の半導体基板上に混載された半導体装置であって、エビタキシャル・ベース層上に形成された絶縁膜に開口部が設けられ、この開口部における絶縁膜側壁にサイドウォールスペーサが形成され、このサイドウォールスペーサが形成された開口部を介して、エビタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることを特徴とする。なお、ここで、「エビタキシャル・ベース層」とは、エビタキシャル法を用い、コレクタ層に接続させて形成したベース層をいうものとし、このエビタキシャル・ベース層を有する縦型バイポーラトランジスタをエビタキシャル・ベース構造の縦型バイポーラトランジスタと呼ぶことにする。

【0007】このように請求項1に係る半導体装置においては、エビタキシャル・ベース層上の絶縁膜に設けられた開口部の側壁にサイドウォールスペーサが形成されていることにより、このサイドウォールスペーサが形成された開口部の大きさは通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくなることが可能になる。このため、このサイドウォールスペーサが形成さ

れた開口部を介して、エビタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されている場合、このエミッタ領域を通常の場合以上に微細化することが可能になる。そして、このエミッタ領域の微細化に伴い、エビタキシャル・ベース層も微細化され、そのベース抵抗を低減することが可能になる。従って、同一の半導体基板上に電界効果トランジスタと混載されたエビタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置が実現される。

【0008】また、請求項2に係る半導体装置は、エビタキシャル・ベース層を有する縦型バイポーラトランジスタとイオン注入ベース領域を有する縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置であって、エビタキシャル・ベース層上に形成された絶縁膜に開口部が設けられ、この開口部における絶縁膜側壁にサイドウォールスペーサが形成され、このサイドウォールスペーサが形成された前記開口部を介して、エビタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることを特徴とする。なお、ここで、「イオン注入ベース領域」とは、イオン注入を用い、コレクタ層表面に所定の不純物イオンを注入した後、その不純物イオンを活性化させて形成したベース領域をいうものとし、このイオン注入ベース領域を有する縦型バイポーラトランジスタをコンベンショナルなベース構造の縦型バイポーラトランジスタと呼ぶことにする。

【0009】このように請求項2に係る半導体装置においては、そのエビタキシャル・ベース層を有するエビタキシャル・ベース構造の縦型バイポーラトランジスタが、上記請求項1の場合と同様な構造をなしていることにより、エミッタ領域の微細化に伴いエビタキシャル・ベース層も微細化されてそのベース抵抗を低減することが可能になるため、同一の半導体基板上にコンベンショナルなベース構造の縦型バイポーラトランジスタと混載されたエビタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置が実現される。

【0010】なお、上記請求項2に係る半導体装置において、そのイオン注入ベース領域上に形成された絶縁膜に開口部が設けられ、この開口部における絶縁膜側壁にサイドウォールスペーサが形成され、このサイドウォールスペーサが形成された開口部を介して、イオン注入ベース領域表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることが好適である（請求項3）。

【0011】この場合、エビタキシャル・ベース構造の縦型バイポーラトランジスタのみならず、コンベンショナルなベース構造の縦型バイポーラトランジスタにおいても、エミッタ領域の微細化に伴いイオン注入ベース領

域も微細化されてそのベース抵抗を低減することが可能になるため、上記請求項2の場合よりも更に高周波特性を向上させた高性能、高信頼性の半導体装置が実現される。

【0012】また、請求項4に係る半導体装置の製造方法は、エビタキシャル・ベース層を有する縦型バイポーラトランジスタと電界効果トランジスタとが同一の半導体基板上に混載された半導体装置の製造方法であって、半導体基板上の縦型バイポーラトランジスタ形成領域及び電界効果トランジスタ形成領域に、コレクタ領域及びウェル領域をそれぞれ形成する第1の工程と、このウェル領域上にゲート電極を形成した後、このゲート電極をマスクとしウェル領域表面に所定の不純物を添加し、低濃度不純物領域を形成する第2の工程と、基体全面に第1の絶縁膜を形成した後、コレクタ層上の第1の絶縁膜を選択的にエッチング除去して、エビタキシャル・ベース形成予定領域を開く第3の工程と、基体全面にエビタキシャル層を成長させて、エビタキシャル・ベース形成予定領域に露出したコレクタ層上に単結晶層を形成すると共に、第1の絶縁膜上に多結晶層を形成した後、エビタキシャル層をバターニングして、コレクタ層上の単結晶層及びこの単結晶層に連なる多結晶層からなるエビタキシャル・ベース層を形成する第4の工程と、基体全面に第2の絶縁膜を形成した後、エビタキシャル・ベース層上の第2の絶縁膜を選択的にエッチング除去して、エミッタ形成予定領域を開く開口部を形成する第5の工程と、基体全面に第3の絶縁膜を形成した後、この第3の絶縁膜を異方性エッチングして、開口部における第2の絶縁膜側壁に、第3の絶縁膜からなるサイドウォールスペーサを形成する第6の工程と、開口部内に露出したエビタキシャル・ベース層の単結晶層上に、エミッタ取り出し電極を形成した後、このエミッタ取り出し電極から所定の不純物を拡散して、エビタキシャル・ベース層の単結晶層表面にエミッタ領域を形成する第7の工程と、第2及び第1の絶縁膜を異方性エッチングして、これら第2及び第1の絶縁膜からなるサイドウォールスペーサをゲート電極側壁に形成した後、ゲート電極及びサイドウォールスペーサをマスクとしてウェル領域表面に所定の不純物を添加し、高濃度不純物領域を形成して、低濃度不純物領域及び高濃度不純物領域からなるソース・ドレイン領域を形成する第8の工程と、を有することを特徴とする。

【0013】このように請求項4に係る半導体装置の製造方法においては、同一の半導体基板上に、エビタキシャル・ベース構造の縦型バイポーラトランジスタと、ソース・ドレイン領域が低濃度不純物領域及び高濃度不純物領域からなるLDD（Lightly Doped Drain-Source）構造の電界効果トランジスタとを作製する場合、エビタキシャル・ベース層を形成した後、基体全面に形成した第2の絶縁膜を選択的にエッチング除去して、エミッタ

形成予定領域を開口する開口部を形成し、更に基体全面に形成した第3の絶縁膜を異方性エッチングして、開口部における第2の絶縁膜側壁に第3の絶縁膜からなるサイドウォールスペーサを形成することにより、このサイドウォールスペーサが形成された開口部の大きさは通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくすることが可能になる。このため、サイドウォールスペーサが形成された開口部内に露出したエビタキシャル・ベース層の単結晶層上にエミッタ取り出し電極を形成した後、このエミッタ取り出し電極から所定の不純物を拡散して、エビタキシャル・ベース層の単結晶層表面にエミッタ領域を形成すると、このエミッタ領域を通常の場合以上に微細化することが可能になる。そして、このエミッタ領域の微細化に伴い、エビタキシャル・ベース層も微細化され、そのベース抵抗を低減することが可能になる。従って、同一の半導体基板上にLDD構造の電界効果トランジスタと混載されたエビタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置が作製される。

【0014】しかも、その縦型バイポーラトランジスタの製造プロセスにおいて、エビタキシャル・ベース層の単結晶層領域を確定する開口部の形成に、第1の絶縁膜の形成が不可欠であり、エビタキシャル・ベース層表面に形成するエミッタ領域の確定やエビタキシャル・ベース層とエミッタ取り出し電極との絶縁分離に、第2の絶縁膜の形成が不可欠であるが、これら第1及び第2の絶縁膜は、電界効果トランジスタのLDD構造のソース・ドレイン領域を形成するために必要なゲート電極側壁のサイドウォールスペーサの形成に使用される。従って、工程数の増加が抑制され、その製造コストの増大が防止される。

【0015】なお、上記請求項4に係る半導体装置の製造方法において、前記第8の工程におけるウェル領域表面に所定の不純物を添加して高濃度不純物領域を形成する際に、同時に、コレクタ領域表面の所定の領域に所定の不純物を添加してコレクタ取り出し領域を形成し、或いはまたエビタキシャル・ベース層の多結晶層表面に前記所定の不純物を添加して外部ベース領域を形成することが好適である（請求項5）。

【0016】この場合、エビタキシャル・ベース構造の縦型バイポーラトランジスタにおけるコレクタ取り出し領域の形成工程、又はエビタキシャル・ベース層の外部ベース領域の形成工程が、電界効果トランジスタにおけるLDD構造の高濃度不純物領域の形成工程と共有化されるため、更に工程数の増加が抑制され、その製造コストの増大が防止される。そして、この電界効果トランジスタがCMOSトランジスタのように相補型トランジスタの場合は、エビタキシャル・ベース構造の縦型バイポーラトランジスタにおけるコレクタ取り出し領域の形成

及びエビタキシャル・ベース層の外部ベース領域の形成の両方の工程がそれぞれに電界効果トランジスタにおけるLDD構造の高濃度不純物領域の形成工程と共有化されることになり、製造コストの増大がより有効に防止される。

【0017】また、請求項6に係る半導体装置の製造方法は、エビタキシャル・ベース層を有する第1の縦型バイポーラトランジスタとイオン注入ベース領域を有する第2の縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置の製造方法であって、半導体基板上の第1及び第2の縦型バイポーラトランジスタ形成領域に、第1及び第2のコレクタ層をそれぞれ形成した後、イオン注入法を用いてこの第2のコレクタ層表面に不純物を選択的に添加し、イオン注入ベース領域を形成する第1の工程と、基体全面に第1の絶縁膜を形成した後、第1のコレクタ層上の第1の絶縁膜を選択的にエッチング除去して、エビタキシャル・ベース形成予定領域を開口する第2の工程と、基体全面にエビタキシャル層を成長させて、エビタキシャル・ベース形成予定領域に露出した第1のコレクタ層上に単結晶層を形成すると共に、第1の絶縁膜上に多結晶層を形成した後、エビタキシャル層をパターニングして、第1のコレクタ層上の単結晶層及びこの単結晶層に連なる多結晶層からなるエビタキシャル・ベース層を形成する第3の工程と、基体全面に第2の絶縁膜を形成した後、エビタキシャル・ベース層上の第2の絶縁膜及びイオン注入ベース領域上のこの第2及び第1の絶縁膜を選択的にエッチング除去して、第1及び第2のエミッタ形成予定領域を開口する第1及び第2の開口部を形成する第4の工程と、基体全面に第3の絶縁膜を形成した後、この第3の絶縁膜を異方性エッチングして、第1の開口部における第2の絶縁膜側壁並びに第2の開口部における第1及び第2の絶縁膜側壁に、第3の絶縁膜からなる第1及び第2のサイドウォールスペーサをそれぞれ形成する第6の工程と、これら第1及び第2のサイドウォールスペーサが形成された第1及び第2の開口部内に露出するエビタキシャル・ベース層の単結晶層及びイオン注入ベース領域上に、第1及び第2のエミッタ取り出し電極をそれぞれ形成した後、これら第1及び第2のエミッタ取り出し電極から所定の不純物を拡散して、エビタキシャル・ベース層の単結晶層及びイオン注入ベース領域の表面に、第1及び第2のエミッタ領域をそれぞれ形成する第7の工程と、を有することを特徴とする。

【0018】このように請求項6に係る半導体装置の製造方法においては、同一の半導体基板上にエビタキシャル・ベース層を有する第1の縦型バイポーラトランジスタとイオン注入ベース領域を有する第2の縦型バイポーラトランジスタを作製する場合、イオン注入ベース領域及びエビタキシャル・ベース層をそれぞれ形成した後、基体全面に形成した第2及び第1の絶縁膜を選択的

にエッチング除去して、第1及び第2のエミッタ形成予定領域を開口する第1及び第2の開口部を形成し、更に基体全面に形成した第3の絶縁膜を異方性エッチングして、第1の開口部における第2の絶縁膜側壁並びに第2の開口部における第1及び第2の絶縁膜側壁に第3の絶縁膜からなる第1及び第2のサイドウォールスペーサをそれぞれ形成することにより、これら第1及び第2のサイドウォールスペーサが形成された第1及び第2の開口部の大きさは通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくすることが可能になる。このため、第1及び第2のサイドウォールスペーサが形成された第1及び第2の開口部内に露出するエピタキシャル・ベース層の単結晶層及びイオン注入ベース領域上に、第1及び第2のエミッタ取り出し電極をそれぞれ形成した後、これら第1及び第2のエミッタ取り出し電極から所定の不純物を拡散して、エピタキシャル・ベース層の単結晶層及びイオン注入ベース領域の表面に第1及び第2のエミッタ領域をそれぞれ形成すると、これら第1及び第2のエミッタ領域を通常の場合以上に微細化することが可能になる。そして、これら第1及び第2のエミッタ領域の微細化に伴い、エピタキシャル・ベース層及びイオン注入ベース領域も微細化され、そのベース抵抗を低減することが可能になる。従って、同一の半導体基板上に混載されたエピタキシャル・ベース構造の縦型バイポーラトランジスタ及びコンベンショナルなベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置が作製される。

【0019】しかも、エピタキシャル・ベース構造の縦型バイポーラトランジスタ及びコンベンショナルなベース構造の縦型バイポーラトランジスタの製造プロセスにおいて、エピタキシャル・ベース層を形成する工程及びイオン注入ベース領域を形成する工程を除けば、殆どの工程が共有化されるため、工程数の増加が抑制され、その製造コストの増大が防止される。

【0020】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

（第1の実施形態）図1は本発明の第1の実施形態に係るエピタキシャル・ベース構造の縦型NPNバイポーラトランジスタとLDD構造のCMOSTランジスタとが同一の半導体基板上に混載されている半導体装置を示す概略断面図であり、図2～図6はそれぞれ図1に示す半導体装置の製造方法を説明するための工程断面図である。

【0021】図1に示されるように、エピタキシャル・ベース構造の縦型NPNバイポーラトランジスタ52aとLDD構造のPMOSTランジスタ52p及びNMOSTランジスタ52nからなるCMOSTランジスタ52bとが同一のP型(100)Si基板10上に混載されている。

【0022】そして、一方の縦型NPNバイポーラトランジスタ52aにおいては、P型(100)Si基板10上に、N⁺型コレクタ埋め込み領域12aが形成され、これらP型(100)Si基板10及びN⁺型コレクタ埋め込み層12a上に、比抵抗1～5Ω・cm、厚さ0.5～1.5μmのN型コレクタ層14aが形成され、このN型コレクタ層14a表面に、N⁺型コレクタ埋め込み層12aに達する高濃度のN型ブラグイン領域20aが形成され、更にこのN型ブラグイン領域20a表面に、より高濃度のN型取り出し領域44aが形成されている。

【0023】また、N型コレクタ層14a表面に接合して、SiやSiGeからなるP型エピタキシャル・ベース層28が形成されている。このP型エピタキシャル・ベース層28は、N型コレクタ層14a上に形成された単結晶のP型真性(Intrinsic)ベース層28aと、第1のSiO₂膜26上に形成された多結晶のP型外部(Graft)ベース層28bとから構成されている。なお、一般に真性ベース層という場合、エミッタ直下の領域をいうが、ここでは更に真性ベース層と外部ベース領域との間のリンク部分を含めて真性ベース層と呼ぶことにする。

【0024】また、このP型エピタキシャル・ベース層28のP型真性ベース層28a上には、第2のSiO₂膜30が形成され、この第2のSiO₂膜30に設けられた開口部の側壁には、SiO₂膜からなるサイドウォールスペーサ(Side Wall Spacer)34が形成され、このサイドウォールスペーサ34が形成された開口部に対応して、P型真性ベース層28a表面にN型エミッタ層38aが形成されている。即ち、このN型エミッタ層38aの大きさはサイドウォールスペーサ34が形成されている開口部の大きさに規定されており、この点に本実施形態の特徴がある。

【0025】そして、このサイドウォールスペーサ34が形成されている開口部を介して、P型真性ベース層28a表面のN型エミッタ層38aに接続する導電化された多結晶Si層からなるエミッタ取り出し電極36aが形成されている。このエミッタ取り出し電極36aは、第2のSiO₂膜30及びサイドウォールスペーサ34によってP型エピタキシャル・ベース層28と絶縁分離されている。

【0026】また、エミッタ取り出し電極36a上面を被覆する絶縁膜40及びオーバーコート膜48に開口されたコンタクトホールを介して、エミッタ取り出し電極36a、P型エピタキシャル・ベース層28のP型外部ベース層28b、及びN型ブラグイン領域20aにそれぞれ接続するエミッタ電極50Ea、ベース電極50Ba、及びコレクタ電極50Caが形成されている。このようにして、縦型NPNバイポーラトランジスタ52aが構成されている。

【0027】また、他方のNMOSTランジスタ52n及びPMOSTランジスタ52pからなるCMOSTランジスタ52bにおいては、P型(100)Si基板10上にN⁺型埋め込み領域12bが形成され、これらP型(100)Si基板10及びN⁺型埋め込み層12b上にN型エピタキシャル層14が形成され、このN型エピタキシャル層14表面にはN⁺型埋め込み層12bに達するP型ウェル領域18bが形成されている。また、このP型ウェル領域18b表面の所定の領域には、N型ウェル領域20bが形成されている。

【0028】そして、このN型ウェル領域20b表面には、P型高濃度不純物領域及びP型LDD領域24pからなるLDD構造のP型ソース領域46SpとP型ドレイン領域46Dpとが相対して形成され、これらP型ソース領域46SpとP型ドレイン領域46Dpとに挟まれたチャネル領域上に、ゲート酸化膜(図示せず)を介してゲート電極22pが形成されている。また、このゲート電極22pの側壁には、LDDサイドウォールスペーサ42が形成されている。更に、オーバーコート膜48に開口されたコンタクトホールを介して、P型ソース領域46Sp及びP型ドレイン領域46Dpにそれぞれ接続するソース電極50Sp及びドレイン電極50Dpが形成されている。このようにして、PMOSTランジスタ52pが構成されている。

【0029】また、このPMOSTランジスタ52pに隣接して、同様の構造をなすNMOSTランジスタ52nが形成されている。即ち、P型ウェル領域18b表面に、N型高濃度不純物領域及びN型LDD領域24nからなるLDD構造のN型ソース領域46SnとN型ドレイン領域46Dnとが相対して形成され、これらN型ソース領域46SnとN型ドレイン領域46Dnとに挟まれたチャネル領域上に、ゲート酸化膜(図示せず)を介してゲート電極22nが形成されている。また、このゲート電極22nの側壁には、LDDサイドウォールスペーサ42が形成されている。更に、オーバーコート膜48に開口されたコンタクトホールを介して、N型ソース領域46Sn及びN型ドレイン領域46Dnにそれぞれ接続するソース電極50Sn及びドレイン電極50Dnが形成されている。このようにして、NMOSTランジスタ52nが構成されている。

【0030】そして、これらNMOSTランジスタ52n及びPMOSTランジスタ52pによりCMOSTランジスタ52bが構成されている。なお、縦型NPNバイポーラトランジスタ52aとCMOSTランジスタ52bとは、素子分離領域に形成されたフィールド酸化膜16及びこのフィールド酸化膜16下に形成されP型(100)Si基板10に達するP型ウェル領域18によって絶縁分離されている。

【0031】次に、図1示すエピタキシャル・ベース構造の縦型NPNバイポーラトランジスタ52aとLDD

構造のCMOSTランジスタ52bとが同一のP型(100)Si基板10上に混載されている半導体装置の製造方法を説明する。まず、図2に示されるように、P型(100)Si基板10表面の縦型NPNバイポーラトランジスタ形成領域及びCMOSTランジスタ形成領域に、Sb₂O₃を用いた温度1200℃におけるSbの気相拡散により、N⁺型コレクタ埋め込み領域12a及びN⁺型埋め込み領域12bをそれぞれ形成する。その後、エピタキシャル成長法を用いて、基体全面に比抵抗1~5Ω・cm、厚さ0.5~1.5μmのN型エピタキシャル層14を形成する。なお、これ以降、縦型NPNバイポーラトランジスタ形成領域のN型エピタキシャル層14をN型コレクタ層14aと呼ぶことにする。

【0032】続いて、LOCOS(Local Oxidation of Silicon)法を用いて、N型エピタキシャル層14表面の選択酸化を行う。即ち、基体全面を熱酸化して、厚さ50nmのSiO₂膜(図示せず)を形成した後、CVD(Chemical Vapor Deposition; 化学的気相成長)法により、厚さ100nmのSi₃N₄膜(図示せず)を形成する。そして、これらSi₃N₄膜及びSiO₂膜を選択的にエッチング(Etching)除去して、アクティブ領域を開くパターンを形成した後、このSi₃N₄膜をマスクとして、温度1000~1050℃のスチーム(Steam)酸化により、素子分離領域のN型エピタキシャル層14表面に厚さ300~800nmのフィールド(Field)酸化膜16を形成する。

【0033】続いて、Si₃N₄膜を除去した後、加速電圧100~720keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の条件によるB(Boron; ボロン)イオン注入を複数回行い、素子分離領域のフィールド酸化膜16下にP型(100)Si基板10にまで達するP型ウェル領域18を形成すると共に、CMOSTランジスタ形成領域のN型エピタキシャル層14表面にN⁺型埋め込み領域12bにまで達するP型ウェル領域18bを形成する。更に、加速電圧150~720keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の条件によるP(Phosphorus; リン)イオン注入を複数回行い、縦型NPNバイポーラトランジスタ形成領域のN型コレクタ層14a表面に、N⁺型コレクタ埋め込み層12aに達するN型ブラグイン領域20aを形成すると共に、CMOSTランジスタ形成領域のうちのPMOSTランジスタ形成領域のP型ウェル領域18b表面に、N型ウェル領域20bを形成する。

【0034】次いで、露出しているN型コレクタ層14a並びにN型ウェル領域20b及びP型ウェル領域18b等の表面を温度800~900℃により熱酸化して、厚さ7~10nmの熱酸化膜(図示せず)を形成した後、基体全面にN型不純物を高濃度にドーピングした多結晶Si層及びWSi層を順に形成し、これらWSi層及び多結晶Si層を、リソグラフィ技術により形成した

レジストパターンを用いて選択的にエッチングし、PMOSTランジスタ形成領域及びNMOSTランジスタ形成領域にゲート電極22p、22nをそれぞれ形成する。ここで、PMOSTランジスタ形成領域のゲート電極22pとN型ウェル領域20bとに挟まれた熱酸化膜及びNMOSTランジスタ形成領域のゲート電極22nとP型ウェル領域18bとに挟まれた熱酸化膜はそれぞれゲート酸化膜となる。

【0035】続いて、リソグラフィ技術により形成したレジストパターン及びゲート電極22pをマスクとし、PMOSTランジスタ形成領域のゲート電極22pを挟むN型ウェル領域20b表面にドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の条件によるB（ボロン）又はBF₂のイオン注入を行って、P型LDD領域24pを形成する。同様に、リソグラフィ技術により形成したレジストパターン及びゲート電極22nをマスクとして、NMOSTランジスタ形成領域のゲート電極22nを挟むP型ウェル領域18b表面にドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ の条件によるP（リン）イオン注入を行って、N型LDD領域24nを形成する。その後、CVD法を用いて、基体全面に厚さ100～200nmの第1のSiO₂膜26を形成する。なお、この第1のSiO₂膜26は、後にゲート電極22p、22n側壁のLDDサイドウォールスペーサ形成用に用いられるものである。

【0036】続いて、リソグラフィ技術により形成したレジストパターンを用い、縦型NPNバイポーラトランジスタ形成領域のN型コレクタ層14a上の第1のSiO₂膜26を選択的にドライ（Dry）エッチングして、N型コレクタ層14aを露出する開口部を形成する。続いて、エビタキシャル成長法を用いて、基体全面に例えばB（ボロン）をドーピング（Doping）したSiやSiGeからなるP型エビタキシャル層を形成する。このとき、開口部内に露出するN型コレクタ層14a上には単結晶層が形成され、第1のSiO₂膜26上には多結晶層が形成される。そして、リソグラフィ技術により形成したレジストパターンを用いて、P型エビタキシャル層を選択的にエッチングし、縦型NPNバイポーラトランジスタ形成領域のN型コレクタ層14a上の単結晶のP型真性ベース層28a及びこれに連なる多結晶のP型外部ベース層28bからなるP型エビタキシャル・ベース層28を形成する。

【0037】次いで、図3に示されるように、CVD法を用いて、基体全面に厚さ150～200nmの第2のSiO₂膜30を形成する。なお、この第2のSiO₂膜30は、後に形成するエミッタ取り出し電極とP型エビタキシャル・ベース層28とを絶縁分離する機能を果たすためのものであり、またゲート電極22p、22n側壁のLDDサイドウォールスペーサ形成用に用いられるものである。続いて、リソグラフィ技術により形

成したレジストパターンを用いて、第2のSiO₂膜30を選択的にドライエッチングし、P型エビタキシャル・ベース層28のP型真性ベース層28aを露出する開口部32を形成する。

【0038】次いで、図4に示されるように、CVD法を用いて、基体全面に厚さ300～500nmの第3のSiO₂膜を形成した後、RIE（Reactive Ion Etching；反応性イオンエッチング）法を用いた異方性エッチングにより、この第3のSiO₂膜を全面的にエッチバックする。こうして、開口部32における第2のSiO₂膜30側壁に第3のSiO₂膜からなるサイドウォールスペーサ34を形成する。

【0039】次いで、図5に示されるように、基体全面に、厚さ100～150nmの多結晶Si層を形成した後、加速電圧30～70keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件によるAs（Arsenic；砒素）イオン注入を行う。なお、この多結晶Si層のうち、サイドウォールスペーサ34が形成されている開口部32を介してP型エビタキシャル・ベース層28のP型真性ベース層28aに接続している部分はエミッタ取り出し電極36aとなるものである。続いて、温度1000～1100℃、時間5～30秒のアニール処理を行い、多結晶Si層中のAsイオンを活性化して導電化すると共に、この多結晶Si層からP型エビタキシャル・ベース層28のP型真性ベース層28a表面にAsを拡散させ、N型エミッタ層38aを形成する。

【0040】続いて、導電化した多結晶Si層上に絶縁膜40を形成した後、リソグラフィ技術により形成したレジストパターンを用いて、これら絶縁膜40及び多結晶Si層を選択的にドライエッチングし、この導電化した多結晶Si層からなるエミッタ取り出し電極36aを形成する。なお、このエミッタ取り出し電極36a上の絶縁膜40は、後にP型外部ベース層28bにP型不純物イオンを注入する際に、このP型不純物イオンがエミッタ取り出し電極36aに注入されないようにするマスクとして機能するものである。続いて、RIE法を用いて、第2及び第1のSiO₂膜30、26を異方性エッチングし、これら第2及び第1のSiO₂膜30、26からなるLDDサイドウォールスペーサ42をゲート電極22p、22n側壁に形成する。

【0041】その後、リソグラフィ技術により形成したレジストパターン並びにゲート電極22n及びその側壁のLDDサイドウォールスペーサ42をマスクとして、加速電圧25～40keV、ドーズ量 $2 \times 10^{15} \sim 7 \times 10^{15} \text{ cm}^{-2}$ の条件によるAsイオン注入を行い、縦型NPNバイポーラトランジスタ形成領域のN型ブラグイン領域20a表面により高濃度のN型コレクタ取り出し領域44aを形成すると共に、NMOSTランジスタ形成領域のN型LDD領域24n及びP型ウェル領域18b表面にN型高濃度不純物領域を形成して、こ

のN型高濃度不純物領域及びN型LDD領域24nからなるLDD構造のN型ソース領域46Sn及びN型ドレイン領域46Dnを形成する。

【0042】同様に、所定のレジストパターン並びにゲート電極22p及びその側壁のLDDサイドウォールスペーサ42をマスクとして、加速電圧25~40keV、ドーズ量 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件によるBF₂イオン注入を行い、縦型NPNバイポーラトランジスタ形成領域のP型エピタキシャル・ベース層28のP型外部ベース層28bの不純物濃度を高めると共に、PMOSTランジスタ形成領域のP型LDD領域24p及びN型ウェル領域20b表面にP型高濃度不純物領域を形成して、このP型高濃度不純物領域及びP型LDD領域24pからなるLDD構造のP型ソース領域46Sp及びP型ドレイン領域46Dpを形成する。

【0043】次いで、図6に示されるように、CVD法を用いて、基体全面にオーバーコート膜48を形成した後、リソグラフィ技術により形成したレジストパターンを用いて、オーバーコート膜48及び絶縁膜40を選択的にドライエッチングし、エミッタ取り出し電極36a、P型エピタキシャル・ベース層28のP型外部ベース層28b、N型コレクタ取り出し領域44a、P型ソース領域46Sp、P型ドレイン領域46Dp、N型ソース領域46Sn、及びN型ドレイン領域46Dnを露出するコンタクトホールをそれぞれ形成する。

【0044】そして、基体全面にA1膜を形成した後、このA1膜を所定の形状にパターニングして、縦型NPNバイポーラトランジスタ形成領域のエミッタ取り出し電極36a、P型エピタキシャル・ベース層28のP型外部ベース層28b、及びN型コレクタ取り出し領域44aにそれぞれ接続するエミッタ電極50Ea、ベース電極50Ba、コレクタ電極50Caを形成して、エピタキシャル・ベース構造の縦型NPNバイポーラトランジスタ52aを作製すると共に、PMOSTランジスタ形成領域のP型ソース領域46Sp及びP型ドレイン領域46Dpにそれぞれ接続するソース電極50Sp及びドレイン電極50Dp、並びにNMOSTランジスタ形成領域のN型ソース領域46Sn及びN型ドレイン領域46Dnにそれぞれ接続するソース電極50Sn及びドレイン電極50Dnを形成して、PMOSTランジスタ52p及びNMOSTランジスタ52nからなるCMOSTランジスタ52bを作製する。

【0045】こうして、図1に示されるようなP型(100)Si基板10上に、エピタキシャル・ベース構造の縦型NPNバイポーラトランジスタ52aとLDD構造のCMOSTランジスタ52bとが混載されている半導体装置を完成させる。

【0046】(第2の実施形態)図7は本発明の第2の実施形態に係るエピタキシャル・ベース構造の縦型NP

Nバイポーラトランジスタ(以下、適時「第1の縦型NPNバイポーラトランジスタ」という)とコンベンショナルなベース構造の縦型NPNバイポーラトランジスタ(以下、適時「第1の縦型NPNバイポーラトランジスタ」という)とが同一の半導体基板上に混載されている半導体装置を示す概略断面図である。なお、この図7に示される第1の縦型NPNバイポーラトランジスタは上記第1の実施形態の図1に示されるエピタキシャル・ベース構造の縦型NPNバイポーラトランジスタと同一の構造をなしているため、共通する構成要素には同一の符号を付して説明を省略する。

【0047】図7に示されるように、エピタキシャル・ベース構造の第1の縦型NPNバイポーラトランジスタ52aとコンベンショナルなベース構造の第2の縦型NPNバイポーラトランジスタ52cとが同一のP型(100)Si基板10上に混載されている。

【0048】そして、第1の縦型NPNバイポーラトランジスタ52aは、上記第1の実施形態の図1に示されるエピタキシャル・ベース構造の縦型NPNバイポーラトランジスタと同一の構造をなしている。このため、上記第1の実施形態の場合と同様に、そのP型エピタキシャル・ベース層28のP型真性ベース層28a上に第2のSiO₂膜30が形成され、この第2のSiO₂膜30に設けられた開口部の側壁にSiO₂膜からなるサイドウォールスペーサ34が形成され、このサイドウォールスペーサ34が形成された開口部に対応して、P型真性ベース層28a表面にN型エミッタ層38aが形成されている。即ち、このN型エミッタ層38aの大きさはサイドウォールスペーサ34が形成されている開口部の大きさに規定されている。

【0049】このように構成される第1の縦型NPNバイポーラトランジスタ52aに対して、第2の縦型NPNバイポーラトランジスタ52cも、ベース構造を除いて、基本的には同様の構造をなしている。即ち、第1の縦型NPNバイポーラトランジスタ52aのP型エピタキシャル・ベース層28のP型真性ベース層28a及びP型外部ベース層28bの代わりに、N型コレクタ層14c表面にB(ボロン)又はBF₂のイオン注入により形成したP型イオン注入ベース領域25及びBF₂イオン注入により形成した高濃度のP型外部ベース領域45が設けられている。

【0050】但し、P型イオン注入ベース領域25上には第2のSiO₂膜30が形成され、この第2のSiO₂膜30に設けられた開口部の側壁にはSiO₂膜からなるサイドウォールスペーサ34が形成され、このサイドウォールスペーサ34が形成された開口部に対応して、P型イオン注入ベース領域25表面にN型エミッタ層38cが形成され、このN型エミッタ層38cの大きさはサイドウォールスペーサ34が形成されている開口部の大きさに規定されている点は、第1の縦型NPN

バイポーラトランジスタ52aと基本的に同様である。
 【0051】なお、第1の縦型NPNバイポーラトランジスタ52aと第2の縦型NPNバイポーラトランジスタ52cとは、素子分離領域に形成されたフィールド酸化膜16及びこのフィールド酸化膜16下に形成されP型(100)Si基板10に達するP型ウェル18によって絶縁分離されている。

【0052】次に、図7に示すエビタキシャル・ベース構造の第1の縦型NPNバイポーラトランジスタ52aとコンベンショナルなベース構造の第2の縦型NPNバイポーラトランジスタ52cとが同一のP型(100)Si基板10上に混載されている半導体装置の製造方法を説明する。

【0053】まず、P型(100)Si基板10表面の第1及び第2の縦型NPNバイポーラトランジスタ形成領域に、 Sb_2O_3 を用いた温度1200℃におけるSbの気相拡散によって、 N^+ 型コレクタ埋め込み層12a、12cをそれぞれ形成する。その後、エビタキシャル成長法を用いて、基体全面に比抵抗1~5 $\Omega \cdot cm$ 、厚さ0.5~1.5 μm のN型エビタキシャル層を形成する。なお、これ以降、第1の縦型NPNバイポーラトランジスタ形成領域のN型エビタキシャル層をN型コレクタ層14aと呼び、第1の縦型NPNバイポーラトランジスタ形成領域のN型エビタキシャル層をN型コレクタ層14cと呼ぶことにする。

【0054】続いて、LOCOS法により、N型エビタキシャル層表面の選択酸化を行う。即ち、基体全面を熱酸化して、厚さ50nmの SiO_2 膜(図示せず)を形成した後、CVD法により、厚さ100nmの Si_3N_4 膜(図示せず)を形成する。そして、これら Si_3N_4 膜及び SiO_2 膜を選択的にエッチング除去して所定の開口パターンを形成した後、この Si_3N_4 膜をマスクとして、温度1000~1050℃のスチーム酸化により、素子分離領域のN型エビタキシャル層表面に厚さ300~800nmのフィールド酸化膜16を形成する。

【0055】続いて、 Si_3N_4 膜を除去した後、加速電圧100~720keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} cm^{-2}$ の条件によるB(ボロン)イオン注入を複数回行い、素子分離領域のフィールド酸化膜16下にP型(100)Si基板10にまで達するP型ウェル領域18を形成する。更に、加速電圧150~720keV、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} cm^{-2}$ の条件によるP(リン)イオン注入を複数回行い、N型コレクタ層14a、14c表面の所定の領域に N^+ 型コレクタ埋め込み層12a、12cに達するN型ブラグイン領域20a、20cをそれぞれ形成する。

【0056】次いで、露出しているN型コレクタ層14a、14c等の表面を温度800~900℃により熱酸化して、厚さ7~10nmの熱酸化膜(図示せず)を形

成した後、リソグラフィ技術により形成したレジストパターンを用いて、N型コレクタ層14c表面にドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13} cm^{-2}$ の条件によるB(ボロン)又は BF_2 のイオン注入を行って、P型イオン注入ベース領域25を形成する。その後、CVD法を用いて、基体全面に厚さ100~200nmの第1の SiO_2 膜26を形成する。続いて、リソグラフィ技術により形成したレジストパターンを用いて、第1の縦型NPNバイポーラトランジスタ形成領域のN型コレクタ層14a上の第1の SiO_2 膜26を選択的にドライエッチングし、N型コレクタ層14aを露出する開口部を形成する。

【0057】次いで、エビタキシャル成長法を用いて、基体全面に例えばB(ボロン)をドーピングしたSiやSiGeからなるP型エビタキシャル層を形成する。このとき、開口部内に露出するN型コレクタ層14a上には単結晶層が形成され、第1の SiO_2 膜26上には多結晶層が形成される。続いて、リソグラフィ技術により形成したレジストパターンを用いて、P型エビタキシャル層を選択的にエッチングし、第1の縦型NPNバイポーラトランジスタ形成領域のN型コレクタ層14a上の単結晶のP型真性ベース層28a及びこれに連なる多結晶のP型外部ベース層28bからなるP型エビタキシャル・ベース層28を形成する。

【0058】次いで、CVD法を用いて、基体全面に厚さ150~200nmの第2の SiO_2 膜30を形成する。続いて、リソグラフィ技術により形成したレジストパターンを用いて、第2及び第1の SiO_2 膜30、26を選択的にドライエッチングして、P型エビタキシャル・ベース層28のP型真性ベース層28a及びP型イオン注入ベース領域25を露出する第1及び第2の開口部を形成する。

【0059】次いで、CVD法を用いて、基体全面に厚さ300~500nmの第3の SiO_2 膜を形成した後、RIE法を用いた異方性エッチングにより、この第3の SiO_2 膜を全面的にエッチバックする。こうして、第1の開口部における第2の SiO_2 膜30側壁並びに第2の開口部における第1及び第2の SiO_2 膜26、30側壁に、第3の SiO_2 膜からなるサイドウォールスペーサ34をそれぞれ形成する。

【0060】次いで、基体全面に、厚さ100~150nmの多結晶Si層を形成した後、加速電圧30~70keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} cm^{-2}$ の条件によるAsイオン注入を行う。なお、この多結晶Si層のうち、第1及び第2の開口部を介してP型真性ベース層28a及びP型イオン注入ベース領域25に接続している部分は、それぞれエミッタ取り出し電極36a、36cとなるものである。続いて、温度1000~1100℃、時間5~30秒のアニール処理を行い、多結晶Si層中のAsイオンを活性化して導電化すると共

に、この多結晶 Si 層から P 型エピタキシャル・ベース層 28 の P 型真性ベース層 28 a 表面及び P 型イオン注入ベース領域 25 表面に As を拡散させ、N 型エミッタ層 38 a、38 c をそれぞれ形成する。

【0061】続いて、導電化した多結晶 Si 層上に絶縁膜 40 を形成した後、リソグラフィ技術により形成したレジストパターンを用いて、これら絶縁膜 40 及び多結晶 Si 層を選択的にドライエッチングし、この導電化した多結晶 Si 層からなる前述したエミッタ取り出し電極 36 a、36 c を形成する。なお、これらエミッタ取り出し電極 36 a、36 c 上の絶縁膜 40 は、後に P 型エピタキシャル・ベース層 28 の P 型外部ベース層 28 b 及び P 型イオン注入ベース領域 25 の外部ベースとなる部分に P 型不純物イオンを注入する際に、この P 型不純物イオンがエミッタ取り出し電極 36 a、36 c に注入されないようにするマスクとして機能するものである。

【0062】その後、第 2 及び第 1 の SiO₂ 膜 30、26 を異方性エッチングする。そして、リソグラフィ技術により形成したレジストパターンをマスクとして、加速電圧 25~40 keV、ドーズ量 $2 \times 10^{15} \sim 7 \times 10^{15} \text{ cm}^{-2}$ の条件による As イオン注入を行い、N 型ブラグイン領域 20 a、20 c 表面に N 型コレクタ取り出し領域 44 a、44 c を形成する。また、同様に、リソグラフィ技術により形成したレジストパターンをマスクとして、P 型エピタキシャル・ベース層 28 の P 型外部ベース層 28 b 及び P 型イオン注入ベース領域 25 の外部ベースとなる部分に、加速電圧 25~40 keV、ドーズ量 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件による BF₃ イオン注入を行い、更にアニール処理を行って注入した不純物イオンを活性化する。こうして、P 型外部ベース層 28 b の不純物濃度を高くすると共に、P 型イオン注入ベース領域 25 に接続する高濃度の P 型外部ベース領域 45 を形成する。

【0063】次いで、CVD 法を用いて、基体全面にオーバーコート膜 48 を形成した後、リソグラフィ技術により形成したレジストパターンを用いて、オーバーコート膜 48 及び絶縁膜 40 を選択的にドライエッチングして、エミッタ取り出し電極 36 a、36 c、P 型外部ベース層 28 b、P 型外部ベース領域 45、及び N 型コレクタ取り出し領域 44 a、44 c を露出するコンタクトホールを形成する。

【0064】そして、基体全面に Al 膜を形成した後、この Al 膜を所定の形状にパターニングして、第 1 の縦型 NPN バイポーラトランジスタ形成領域のエミッタ取り出し電極 36 a、P 型エピタキシャル・ベース層 28 の P 型外部ベース層 28 b、及び N 型コレクタ取り出し領域 44 a にそれぞれ接続するエミッタ電極 50 E a、ベース電極 50 B a、及びコレクタ電極 50 C a を形成すると共に、第 2 の縦型 NPN バイポーラトランジスタ形成領域のエミッタ取り出し電極 36 c、P 型外部ベー

ス領域 45、及び N 型コレクタ取り出し領域 44 c にそれぞれ接続するエミッタ電極 50 E c、ベース電極 50 B c、及びコレクタ電極 50 C c を形成する。

【0065】こうして、図 7 に示されるような P 型 (100) Si 基板 10 上に、エピタキシャル・ベース構造の第 1 の縦型 NPN バイポーラトランジスタ 52 a とコンベンショナルなベース構造の第 2 の縦型 NPN バイポーラトランジスタ 52 c とが混載されている半導体装置を完成させる。

【0066】なお、上記第 1 の実施形態においては、P 型 (100) Si 基板 10 上に、エピタキシャル・ベース構造の縦型 NPN バイポーラトランジスタ 52 a と LDD 構造の CMOS トランジスタ 52 b とが混載されている半導体装置について、上記第 2 の実施形態においては、エピタキシャル・ベース構造の第 1 の縦型 NPN バイポーラトランジスタ 52 a とコンベンショナルなベース構造の第 2 の縦型 NPN バイポーラトランジスタ 52 c とが混載されている半導体装置についてそれぞれ説明しているが、当然に、第 1 及び第 2 の実施形態を組み合わせることにより、P 型 (100) Si 基板 10 上にエピタキシャル・ベース構造の縦型 NPN バイポーラトランジスタ 52 a と LDD 構造の CMOS トランジスタ 52 b とコンベンショナルなベース構造の縦型 NPN バイポーラトランジスタ 52 c とが混載されている半導体装置についても、本発明を適用することが可能なことは言うまでもない。従って、本発明は Bi CMOS 集積回路の作製に広く適用することができる。

【0067】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置及びその製造方法によれば、次のような効果を奏することができる。即ち、請求項 1 に係る半導体装置によれば、エピタキシャル・ベース層を有する縦型バイポーラトランジスタと電界効果トランジスタとが同一の半導体基板上に混載された半導体装置において、エピタキシャル・ベース層上の絶縁膜に設けられた開口部の側壁にサイドウォールスペーサが形成されていることにより、このサイドウォールスペーサが形成された開口部の大きさは通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくなることが可能になるため、このサイドウォールスペーサが形成された開口部を介して、エピタキシャル・ベース層表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されている場合、このエミッタ領域を通常の場合以上に微細化することが可能になる。従って、このエミッタ領域の微細化に伴い、エピタキシャル・ベース層も微細化され、そのベース抵抗を低減することが可能になることから、同一の半導体基板上に電界効果トランジスタと混載されたエピタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置を実現することができる。

【0068】また、請求項2に係る半導体装置によれば、エビタキシャル・ベース層を有する縦型バイポーラトランジスタとイオン注入ベース領域を有する縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置において、そのエビタキシャル・ベース層を有するエビタキシャル・ベース構造の縦型バイポーラトランジスタが、上記請求項1の場合と同様な構造をなしていることにより、エミッタ領域の微細化に伴いエビタキシャル・ベース層も微細化されてそのベース抵抗を低減することが可能になるため、同一の半導体基板上にイオン注入ベース領域を有するコンベンショナルなベース構造の縦型バイポーラトランジスタと混載されたエビタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置を実現することができる。

【0069】また、請求項3に係る半導体装置によれば、上記請求項2に係る半導体装置において、そのイオン注入ベース領域上に形成された絶縁膜に開口部が設けられ、この開口部における絶縁膜側壁にサイドウォールスペーサが形成され、このサイドウォールスペーサが形成された開口部を介して、イオン注入ベース領域表面に形成されたエミッタ領域とエミッタ取り出し電極とが接続されていることにより、エビタキシャル・ベース構造の縦型バイポーラトランジスタのみならず、コンベンショナルなベース構造の縦型バイポーラトランジスタにおいても、エミッタ領域の微細化に伴いイオン注入ベース領域が微細化されてそのベース抵抗を低減することが可能になるため、更に高周波特性を向上させた高性能、高信頼性の半導体装置を実現することができる。

【0070】また、請求項4に係る半導体装置の製造方法によれば、エビタキシャル・ベース層を有する縦型バイポーラトランジスタとLDD構造の電界効果トランジスタとが同一の半導体基板上に混載された半導体装置の製造方法において、エビタキシャル・ベース層を形成した後、基体全面に形成した第2の絶縁膜を選択的にエッチング除去して、エミッタ形成予定領域を開口する開口部を形成し、更に基体全面に形成した第3の絶縁膜を異方性エッチングして、開口部における第2の絶縁膜側壁に第3の絶縁膜からなるサイドウォールスペーサを形成することにより、このサイドウォールスペーサが形成された開口部の大きさは通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくなることが可能になるため、サイドウォールスペーサが形成された開口部内に露出したエビタキシャル・ベース層の単結晶層上にエミッタ取り出し電極を形成した後、このエミッタ取り出し電極から所定の不純物を拡散して、エビタキシャル・ベース層の単結晶層表面にエミッタ領域を形成すると、このエミッタ領域を通常の場合以上に微細化することが可能になる。従って、このエミッタ領域の微細化に伴い、エビタキシャル・ベース層も微細化され、そのベ-

ース抵抗を低減することが可能になることから、同一の半導体基板上にLDD構造の電界効果トランジスタと混載されたエビタキシャル・ベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置を簡便に作製することができる。

【0071】しかも、その縦型バイポーラトランジスタの製造プロセスにおいて、エビタキシャル・ベース層の単結晶層領域を確定する開口部の形成に不可欠な第1の絶縁膜及びエビタキシャル・ベース層表面に形成するエミッタ領域の確定やエビタキシャル・ベース層とエミッタ取り出し電極との絶縁分離に不可欠な第2の絶縁膜が、電界効果トランジスタのLDD構造のソース・ドレイン領域を形成するために必要なゲート電極側壁のサイドウォールスペーサの形成に使用されるため、工程数の増加を抑制して、その製造コストの増大を防止することができる。

【0072】また、請求項5に係る半導体装置の製造方法によれば、上記請求項4に係る半導体装置の製造方法において、ウェル領域表面に所定の不純物を添加して高濃度不純物領域を形成する際に、同時に、コレクタ領域表面の所定の領域に所定の不純物を添加してコレクタ取り出し領域を形成し、或いはまたエビタキシャル・ベース層の多結晶層表面に前記所定の不純物を添加して外部ベース領域を形成することにより、エビタキシャル・ベース構造の縦型バイポーラトランジスタにおけるコレクタ取り出し領域の形成工程、又はエビタキシャル・ベース層の外部ベース領域の形成工程が、電界効果トランジスタにおけるLDD構造の高濃度不純物領域の形成工程と共有化されるため、更に工程数の増加を抑制して、その製造コストの増大を防止することができる。

【0073】また、請求項6に係る半導体装置の製造方法によれば、エビタキシャル・ベース層を有する第1の縦型バイポーラトランジスタとイオン注入ベース領域を有する第2の縦型バイポーラトランジスタが同一の半導体基板上に混載された半導体装置の製造方法において、イオン注入ベース領域及びエビタキシャル・ベース層をそれぞれ形成した後、基体全面に形成した第2及び第1の絶縁膜を選択的にエッチング除去して、第1及び第2のエミッタ形成予定領域を開口する第1及び第2の開口部を形成し、更に基体全面に形成した第3の絶縁膜を異方性エッチングして、第1の開口部における第2の絶縁膜側壁並びに第2の開口部における第1及び第2の絶縁膜側壁に第3の絶縁膜からなる第1及び第2のサイドウォールスペーサをそれぞれ形成することにより、これら第1及び第2のサイドウォールスペーサが形成された第1及び第2の開口部の大きさを通常のリソグラフィ法を用いた開口部形成技術の限界を超えて小さくすることが可能になるため、第1及び第2のサイドウォールスペーサが形成された第1及び第2の開口部内に露出したエビタキシャル・ベース層の単結晶層及びイオン注入ベース

領域上に、第1及び第2のエミッタ取り出し電極を形成した後、これら第1及び第2のエミッタ取り出し電極から所定の不純物を拡散して、エピタキシャル・ベース層の単結晶層及びイオン注入ベース領域の表面に第1及び第2のエミッタ領域を形成すると、これら第1及び第2のエミッタ領域を通常の場合以上に微細化することが可能になる。従って、これら第1及び第2のエミッタ領域の微細化に伴い、エピタキシャル・ベース層及びイオン注入ベース領域も微細化され、そのベース抵抗を低減することが可能になることから、同一の半導体基板上に混載されたエピタキシャル・ベース構造の縦型バイポーラトランジスタ及びコンベンショナルなベース構造の縦型バイポーラトランジスタの高周波特性を向上させた高性能、高信頼性の半導体装置を作製することができる。

【0074】しかも、エビタキシャル・ベース構造の縦型バイポーラトランジスタ及びコンベンショナルなベース構造の縦型バイポーラトランジスタの製造プロセスにおいて、エビタキシャル・ベース層を形成する工程及びイオン注入ベース領域を形成する工程を除けば、殆どの工程を共有化することが可能であるため、工程数の増加を抑制して、その製造コストの増大を防止することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係るエビタキシャル・ベース構造の縦型ＮＰＮバイポーラトランジスタとＬＤＤ構造のＣＭＯＳトランジスタとが同一の半導体基板上に混載されている半導体装置を示す概略断面図である。

【図２】図１に示す半導体装置の製造方法を説明するための工程断面図（その１）である。

【図3】図1に示す半導体装置の製造方法を説明するための工程断面図（その2）である。

【図４】図１に示す半導体装置の製造方法を説明するための工程断面図（その３）である。

【図5】図1に示す半導体装置の製造方法を説明するための工程断面図（その4）である。

*【図6】図1に示す半導体装置の製造方法を説明するための工程断面図（その5）である。

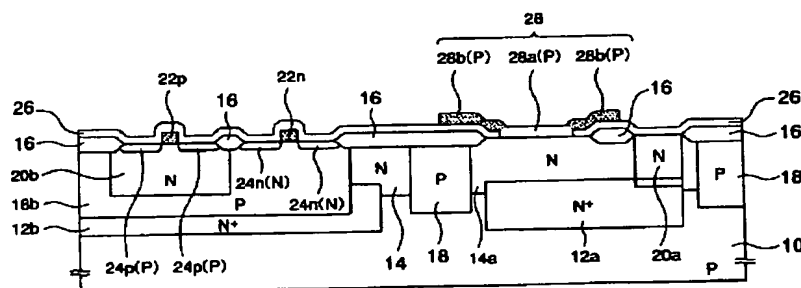
【図 7】本発明の第 2 の実施形態に係るエビタキシャル・ベース構造の縦型 NPN バイポーラトランジスタとコンベンショナルなベース構造の縦型 NPN バイポーラトランジスタとが同一の半導体基板上に混載されている半導体装置を示す概略断面図である。

【符号の説明】

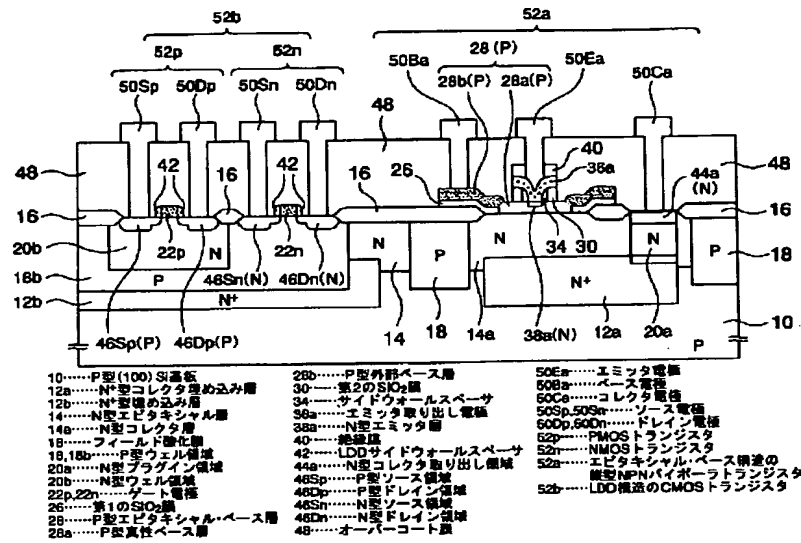
10……P型(100) Si基板、12a、12c……
N⁺型コレクタ埋め込み層、12b……N⁺型埋め込み
層、14……N型エビタキシャル層、14a、14c……
N型コレクタ層、16……フィールド酸化膜、18、
18b……P型ウェル領域、20a、20c……N型プ
ラダイン領域、20b……N型ウェル領域、22p、2
2n……ゲート電極、24p……P型LDD領域、24
n……N型LDD領域、26……第1のSiO₂膜、
28……P型エビタキシャル・ベース層、28a……P
型真性ベース層、28b……P型外部ベース層、30……
第2のSiO₂膜、32……開口部、34……サイ
ドウォールスペーサ、36a、36c……エミッタ取り
出し電極、38a、38c……N型エミッタ層、40……
絶縁膜、42……LDDサイドウォールスペーサ、4
4a、44c……N型コレクタ取り出し領域、46Sp
……P型ソース領域、46Dp……P型ドレイン領域、
46Sn……N型ソース領域、46Dn……N型ドレ
イン領域、48……オーバーコート膜、50Ea、50E
c……エミッタ電極、50Ba、50Bc……ベース電
極、50Ca、50Cc……コレクタ電極、50Sp、
50Sn……ソース電極、50Dp、50Dn……ドレ
イン電極、52p……PMOSTランジスタ、52n……
NMOSTランジスタ、52a……エビタキシャル・
ベース構造の縦型NPNバイポーラトランジスタ、52
b……LDD構造のCMOSTランジスタ、52c……
コンベンショナルなベース構造の縦型NPNバイポーラ
トランジスタ。

*

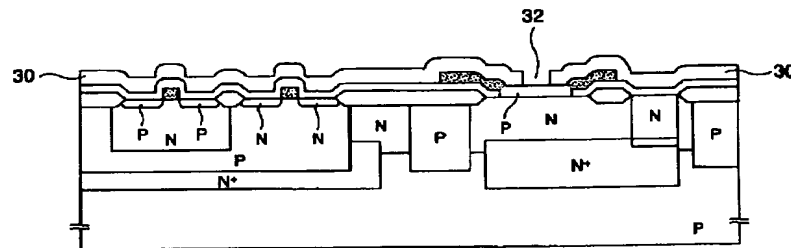
【圖2】



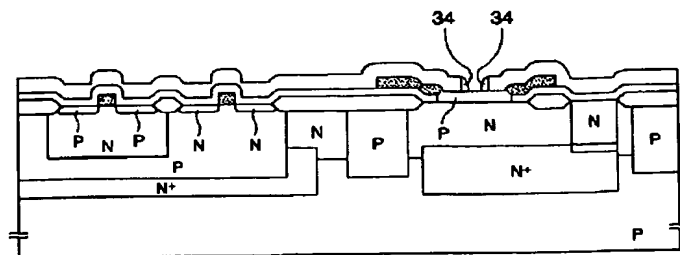
【図1】



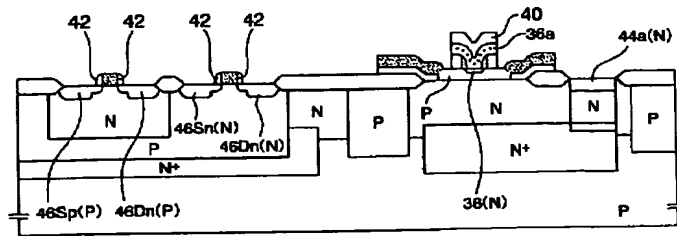
【図3】



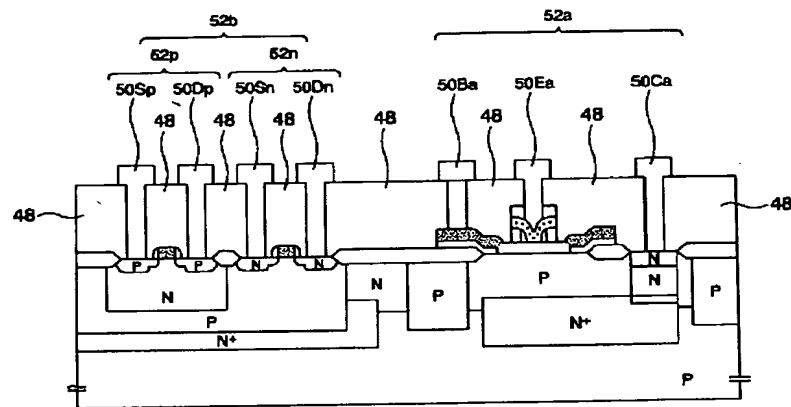
【図4】



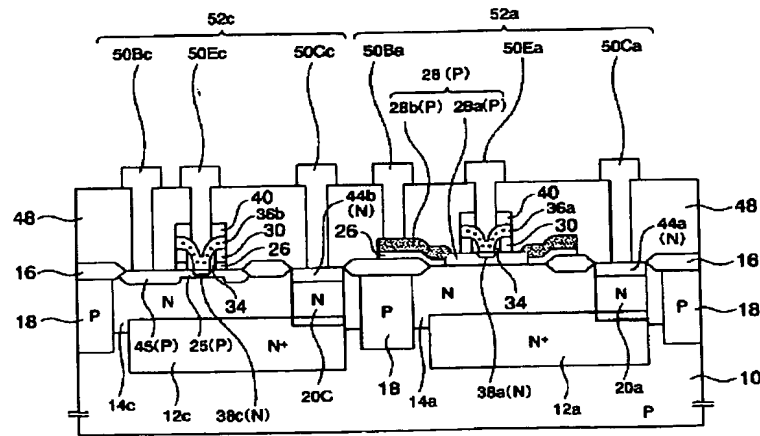
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 三輪 浩之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム(参考) 5F003 BA97 BB07 BB08 BC08 BE07
BE08 BF06 BF90 BH93 BJ15
BM01 BP06 BP21 BP34 BP93
BS06 BS08
5F048 AC05 BA02 BB06 BB08 BB12
BC06 BE02 BE03 BF02 BG12
CA03 CA05 CA07 CA09 CA14
CA15 DA25
5F082 AA11 BA04 BA26 BA28 BA31
BA36 BC01 BC09 EA03 EA04
EA15 EA22 EA25

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.